

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc872 U.S. PRO
09/964369
09/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月11日

出 願 番 号

Application Number:

特願2001-141566

出 願 人

Applicant(s):

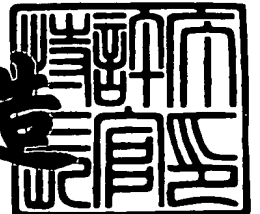
富士通株式会社

富士通ヴィエルエスアイ株式会社

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073340

【書類名】 特許願

【整理番号】 0140162

【提出日】 平成13年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/30

【発明の名称】 情報処理装置のトレース情報出力方法、情報処理装置、
及び情報処理システム

【請求項の数】 9

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 伊賀 希一郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置のトレース情報出力方法、情報処理装置、及び情報処理システム

【特許請求の範囲】

【請求項 1】 処理を実行して発生した分岐の動作情報を出力する CPU と、その CPU の動作情報を出力するインタフェース装置とを備えた情報処理装置のトレース情報出力方法であって、

前記 CPU が実行する処理に分岐が発生する毎に該 CPU から出力される分岐先アドレスをバッファ回路に順次格納し、

前記バッファ回路に格納した分岐先アドレスを、該分岐先アドレスに対応して格納したフラグに基づいて、2つの前記分岐先アドレスから算出した相対分岐先アドレス又は絶対分岐先アドレスをシリアル変換して出力することを特徴とする情報処理装置のトレース情報出力方法。

【請求項 2】 前記バッファ回路がフル状態になった場合に該バッファ回路に格納されている所定の分岐先アドレスを消去させ、且つその消去後の所定の分岐先アドレスのフラグを、前記絶対分岐先アドレスを出力するフラグに変更することを特徴とする請求項 1 に記載の情報処理装置のトレース情報出力方法。

【請求項 3】 実行する処理にて分岐が発生する毎に分岐発生信号及び絶対分岐先アドレスを出力する CPU と、

前記絶対分岐先アドレスと先の分岐先アドレスとを比較して該絶対分岐先アドレスが相対分岐先アドレスとして表現可能か否かを決定する決定回路と、

前記決定結果に基づくフラグと該フラグに対応する前記絶対分岐先アドレスを順次格納し、該格納した順番に出力するバッファ回路と、

前記バッファ回路から出力される絶対分岐先アドレスを、該分岐先アドレスに対応して格納した前記フラグに基づいて、2つの前記絶対分岐先アドレスから算出した相対分岐先アドレス又は前記絶対分岐先アドレスをシリアル変換して出力する出力回路と、を備えたことを特徴とする情報処理装置。

【請求項 4】 実行する処理にて分岐が発生する毎に分岐発生信号、絶対分岐先アドレス及び命令フェッチ数を出力する CPU と、

前記絶対分岐先アドレスと先の分岐先アドレスとを比較して該絶対分岐先アドレスが相対分岐先アドレスとして表現可能か否かを決定する決定回路と、

前記決定結果に基づくフラグと該フラグに対応する前記絶対分岐先アドレスと前記命令フェッチ数を順次格納し、該格納した順番に出力するバッファ回路と、

前記バッファ回路から出力される命令フェッチ数をシリアル変換して出力するとともに、同バッファ回路から出力される絶対分岐先アドレスを、該分岐先アドレスに対応して格納した前記フラグに基づいて、2つの前記絶対分岐先アドレスから算出した相対分岐先アドレス又は前記絶対分岐先アドレスをシリアル変換して出力する出力回路と、を備えたことを特徴とする情報処理装置。

【請求項5】 前記バッファ回路がフル状態になったときに該バッファ回路に格納した所定の絶対分岐先アドレスを消去するとともに、消去後における所定の絶対分岐先アドレスに対応するフラグを絶対フラグに設定する制御回路を備えたことを特徴とする請求項3又は4に記載の情報処理装置。

【請求項6】 前記制御回路は、前記分岐発生信号及びフラグに基づいて相対分岐発生ステート又は前記絶対分岐発生ステートを出力するとともに、前記バッファ回路のアドレスを消去する場合にはアドレス消滅ステートを出力することを特徴とする請求項5に記載の情報処理装置。

【請求項7】 前記決定回路は、前記バッファ回路に格納した最新の絶対分岐先アドレスと、前記CPUから出力される絶対分岐先アドレスとの相対値を算出し、前記相対値が予め定めた所定値の範囲内にある場合に相対フラグを出力し、前記相対値が前記所定値の範囲外にある場合に絶対フラグを出力することを特徴とする請求項3又は4に記載の情報処理装置。

【請求項8】 前記出力回路は、
前記バッファ回路から先に出力された絶対分岐先アドレスを記憶するアドレスバッファと、

前記アドレスバッファに記憶した先の絶対分岐先アドレスと前記バッファ回路からの絶対分岐先アドレスとから相対分岐先アドレスを算出する減算回路と、

前記フラグに基づいて、前記アドレスバッファ回路からの前記絶対分岐先アドレス、又は前記減算回路にて算出した前記相対分岐先アドレスをシリアル変換し

て出力する出力選択及びシリアル変換回路と

を備えたことを特徴とする請求項 3 又は 4 に記載の情報処理装置。

【請求項 9】 実行する処理にて分岐が発生する毎に分岐発生信号及び絶対分岐先アドレスを出力する CPU と、

前記絶対分岐先アドレスと先の分岐先アドレスとを比較して前記絶対分岐先アドレスが相対分岐先アドレスとして表現可能か否かを決定する手段と、

前記決定結果に基づくフラグと該フラグに対応する前記絶対分岐先アドレスをバッファ回路に順次格納し、該格納した順番に出力する手段と、

前記バッファ回路から出力される絶対分岐先アドレスを、該分岐先アドレスに対応して格納した前記フラグに基づいて、2 つの前記絶対分岐先アドレスから算出した相対分岐先アドレス又は絶対分岐先アドレスをシリアル変換して出力する手段と、を備えたことを特徴とする情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置のトレース情報出力方法、情報処理装置、及び情報処理システムに係り、詳しくは CPU の動作情報を外部に出力するインタフェース装置を内蔵した情報処理装置のトレース情報出力方法、情報処理装置、及び情報処理システムに関するものである。

【0002】

近年、マイクロコンピュータ等の情報処理装置には、その動作確認やプログラムのデバッグ等を目的として外部に接続されたエミュレータ装置等の外部監視装置に CPU の動作情報を出力するためのインタフェース装置が内蔵されている。ところで、最近のマイクロコンピュータは高速化しており、高速で動作する CPU の動作監視（プログラムトレース）を行う必要がある。

【0003】

【従来の技術】

図 4 は、第一従来例のマイクロコンピュータ 51 を示すブロック図である。

マイクロコンピュータ 51 は、CPU 52 と、CPU 52 の動作情報を外部に

接続されたエミュレータ装置（図示略）に出力するためのエミュレータインタフェース装置（以下、インタフェース装置）５３とを含む。

【０００４】

インタフェース装置５３は、制御回路５４、分岐先アドレス格納バッファ回路（以下、バッファ回路）５５及び出力回路５６を備える。尚、バッファ回路５５は、ＣＰＵ５２から与えられる分岐先アドレスを、最初に格納した分岐先アドレスから順に出力するように構成されている。

【０００５】

ＣＰＵ５２は、プログラムの実行において分岐が発生すると、分岐発生信号（分岐発生）ＢＥＮ 及び分岐先アドレスＢＡＤＲをＣＰＵ５２の動作情報としてインタフェース装置５３に出力する。

【０００６】

インタフェース装置５３は、分岐発生信号ＢＥＮ を制御回路５４に入力し、これにより制御回路５４は、プログラムに分岐が発生した事を示す分岐発生ステータスをステータス出力としてエミュレータ装置に出力する。

【０００７】

また、インタフェース装置５３は、ＣＰＵ５２から与えられる分岐先アドレスＢＡＤＲをバッファ回路５５に格納する。バッファ回路５５は分岐先アドレスＢＡＤＲを格納し、その分岐先アドレスＢＡＤＲは格納された順に出力回路５６に出力される。そして、出力回路５６から分岐先アドレス出力として分岐先アドレスＢＡＤＲが所定のサイクル数でエミュレータ装置に出力される。

【０００８】

尚、上記バッファ回路５５には、分岐先アドレスＢＡＤＲとともに分岐発生間における命令フェッチ回数（図示略）が格納され、そのフェッチ回数は分岐先アドレスＢＡＤＲとともに出力される。

【０００９】

従って、エミュレータ装置は、インタフェース装置５３から出力される分岐発生ステータス、分岐先アドレスＢＡＤＲ、及び命令フェッチ回数に基づいて、どの命令で分岐が発生したかが解る。これにより、エミュレータ装置は、ＣＰＵ５２の動

作を追跡（トレース）する。

【0010】

ところで、最近のマイクロコンピュータは高速化している。従って、このような高速で動作するマイクロコンピュータの動作状態をリアルタイムでエミュレータ装置に送信するために、マイクロコンピュータの動作周波数でのデータ転送が可能な高価なケーブルを用意していた。また、別の方法として、マイクロコンピュータに複数の安価なケーブルを接続し、それら複数のケーブルを時分割で切替えて使用する。即ち、マイクロコンピュータの動作状態を平行にエミュレータ装置に出力することで、マイクロコンピュータの動作周波数よりもインタフェース周波数を低下させていた。

【0011】

しかしながら、上記のように高価なケーブルの使用、あるいは複数の安価なケーブルを接続するためのインタフェース端子の増加はコスト増加を招く。このことは、競争力の低下へとつながる。

【0012】

図5は、第二従来例のマイクロコンピュータ61を示すブロック図であり、このマイクロコンピュータ61は、図4に示す第一従来例のそれと同様に構成されている。

【0013】

このマイクロコンピュータ61では、CPU62が実行するプログラムにおいて分岐が発生すると、該CPU62は絶対分岐発生信号ABEN又は相対分岐発生信号RBENを出力する。また、CPU62は、それら各分岐発生信号ABEN, RBENに対応して絶対分岐先アドレスABADR 又は相対分岐先アドレスRBADR を出力する。

【0014】

ここで、絶対分岐先アドレスABADR とは、実行する各命令毎に予め割り振られるアドレスであり、相対分岐先アドレスRBADR とは、分岐が発生した命令から分岐によって次に実行する命令までのアドレスの差である。

【0015】

即ち、このように構成されるマイクロコンピュータ61では、バッファ回路6

5 は、絶対分岐先アドレス ABADR 又は相対分岐先アドレス RBADR を格納し、それらアドレス ABADR , RBADR は格納された順に出力回路 6 6 に出力される。バッファ回路 6 5 に格納される相対分岐先アドレス RBADR のビット数は、絶対分岐先アドレス ABADR のそれより小さい。即ち、バッファ回路 6 5 には、相対分岐先アドレス RBADR を絶対分岐先アドレス ABADR より少ないビット数で格納することができる。

【 0 0 1 6 】

従って、相対分岐先アドレス RBADR を出力するサイクル数は、上記第一従来例に示すマイクロコンピュータ 5 1 におけるそれより少ない。即ち、CPU 6 2 の動作情報をエミュレータ装置に出力する際のデータ転送速度を実質的に速くすることができる。これにより、インタフェース端子数の増加を抑制することができる。

【 0 0 1 7 】

【発明が解決しようとする課題】

ところで、上記第二従来例のマイクロコンピュータ 6 1 において、バッファ回路 6 5 のバッファ領域が不足すると、該バッファ回路 6 5 は最も前に受信した分岐先アドレスを消滅させる。つまり、バッファ回路 6 5 は、そのバッファ領域が不足している状態で CPU 6 2 から新たに分岐先アドレスを受信すると、該バッファ回路 6 5 に格納している最も古い分岐先アドレスを消去し、新たに受信した分岐先アドレスを格納する。

【 0 0 1 8 】

今、このようなアドレス消滅が発生したとき、次にバッファ回路 6 5 から出力される分岐先アドレスが相対分岐先アドレスである場合には、命令トレースを行うことができない。

【 0 0 1 9 】

また、バッファ回路 6 5 に格納される分岐先アドレスが仮に全て相対分岐先アドレスであるならば、上記のようなアドレス消滅の発生によりそれ以降の命令トレースは不可能となる。

【 0 0 2 0 】

さらに、プログラムに分岐が多発する場合にはアドレス消滅也多発し、これにより多くの分岐が非トレースの対称となっていた。

本発明は上記問題点を解決するためになされたものであって、その目的はCPUの動作周波数に依らずCPUの動作監視を行い得る情報処理装置のトレース情報出力方法、情報処理装置、及び情報処理システムを提供することにある。

【0021】

【課題を解決するための手段】

請求項1に記載の発明によれば、情報処理装置は、処理を実行するCPUと、そのCPUの動作情報を外部に出力するインタフェース装置とを備える。インタフェース装置は、分岐が発生する毎に該CPUから出力される分岐先アドレスをバッファ回路に順次格納する。そして、インタフェース装置は、バッファ回路に格納した分岐先アドレスを、該分岐先アドレスに対応して格納したフラグに基づいて2つの分岐先アドレスから算出した相対分岐先アドレス又は絶対分岐先アドレスをシリアル変換して出力する。

【0022】

請求項2に記載の発明によれば、請求項1に記載の発明の作用に加えて、インタフェース装置は、バッファ回路がフル状態になった場合に該バッファ回路に格納されている所定の分岐先アドレスを消去させる。そして、インタフェース装置は、消去後の所定の分岐先アドレスのフラグを、絶対分岐先アドレスを出力するフラグに変更する。

【0023】

請求項3に記載の発明によれば、情報処理装置は、CPUと決定回路とバッファ回路と出力回路とを備える。CPUは実行する処理にて分岐が発生する毎に分岐発生信号及び絶対分岐先アドレスを出力する。決定回路は、前記絶対分岐先アドレスと先の分岐先アドレスとを比較して該絶対分岐先アドレスが相対分岐先アドレスとして表現可能か否かを決定する。バッファ回路は、前記決定結果に基づくフラグと該フラグに対応する絶対分岐先アドレスを順次格納し、該格納した順番に出力回路に出力する。そして、出力回路は、バッファ回路から出力される絶対分岐先アドレスを、該分岐先アドレスに対応して格納した前記フラグに基づい

て、2つの絶対分岐先アドレスから算出した相対分岐先アドレス又は前記絶対分岐先アドレスをシリアル変換して出力する。

【0024】

請求項4に記載の発明によれば、情報処理装置は、CPUと決定回路とバッファ回路と出力回路とを備える。CPUは実行する処理にて分岐が発生する毎に分岐発生信号、絶対分岐先アドレス及び命令フェッチ数を出力する。決定回路は、前記絶対分岐先アドレスと先の分岐先アドレスとを比較して該絶対分岐先アドレスが相対分岐先アドレスとして表現可能か否かを決定する。バッファ回路は、前記決定結果に基づくフラグと該フラグに対応する絶対分岐先アドレスを順次格納し、該格納した順番に出力回路に出力する。そして、出力回路は、バッファ回路から出力される命令フェッチ数をシリアル変換して出力する。次いで、出力回路は、バッファ回路から出力される絶対分岐先アドレスを、該分岐先アドレスに対応して格納した前記フラグに基づいて、2つの絶対分岐先アドレスから算出した相対分岐先アドレス又は前記絶対分岐先アドレスをシリアル変換して出力する。

【0025】

請求項5に記載の発明によれば、請求項3又は4に記載の発明の作用に加えて、情報処理装置の制御回路は、バッファ回路がフル状態になったときに該バッファ回路に格納した所定の絶対分岐先アドレスを消去する。さらに、制御回路は、消去後における所定の絶対分岐先アドレスに対応するフラグを絶対フラグに設定する。

【0026】

請求項6に記載の発明によれば、請求項5に記載の発明の作用に加えて、制御回路は、分岐発生信号及びフラグに基づいて相対分岐発生ステート又は絶対分岐発生ステートを出力する。また、制御回路は、バッファ回路にてアドレスが消去される場合には前記相対分岐発生ステート又は前記絶対分岐発生ステートとともにアドレス消滅ステートを出力する。

【0027】

請求項7に記載の発明によれば、請求項3又は4に記載の発明の作用に加えて、決定回路は、バッファ回路に格納した最新の絶対分岐先アドレスと、CPUか

ら出力される絶対分岐先アドレスとの相対値を算出する。そして、決定回路は、その相対値が予め定めた所定値の範囲内にある場合に相対フラグを出力し、相対値が所定値の範囲外にある場合に絶対フラグを出力する。

【 0 0 2 8 】

請求項 8 に記載の発明によれば、請求項 3 又は 4 に記載の発明の作用に加えて、出力回路は、アドレスバッファ、減算回路、出力選択及びシリアル変換回路を備える。アドレスバッファは、バッファ回路から先に出力された絶対分岐先アドレスを記憶する。減算回路は、アドレスバッファに記憶した先の絶対分岐先アドレスとバッファ回路からの絶対分岐先アドレスとから相対分岐先アドレスを算出する。そして、出力選択及びシリアル変換回路は、前記フラグに基づいて、アドレスバッファ回路からの絶対分岐先アドレス、又は減算回路にて算出した相対分岐先アドレスをシリアル変換して出力する。

【 0 0 2 9 】

請求項 9 に記載の発明によれば、情報処理システムでは、CPU から出力される絶対分岐先アドレスが相対分岐先アドレスとして表現可能か否かを決定し、決定結果に基づくフラグと該フラグに対応する絶対分岐先アドレスをバッファ回路に順次格納し、該格納した順番に出力する。そして、このような情報処理システムでは、バッファ回路から出力される絶対分岐先アドレスを、該分岐先アドレスに対応して格納したフラグに基づいて、2 つの前記絶対分岐先アドレスから算出した相対分岐先アドレス又は絶対分岐先アドレスをシリアル変換して出力する。

【 0 0 3 0 】

【発明の実施の形態】

以下、本発明を具体化した一実施形態を図 1 ～図 3 に従って説明する。

図 1 は、本実施形態のマイクロコンピュータ 1 1 を示すブロック図である。このマイクロコンピュータ 1 1 は、CPU 1 2 と、その CPU 5 2 の動作情報を外部に接続された図示しないエミュレータ装置に出力するためのエミュレータインタフェース装置（以下、インタフェース装置という）1 3 とを備える。

【 0 0 3 1 】

CPU 1 2 は、プログラムの実行において分岐が発生すると、分岐発生信号 BE

N 及びその分岐命令に割り振られている分岐先アドレスBADRを出力するとともに、前回の分岐命令からの命令フェッチ数FEN を動作情報として出力する。尚、前記分岐先アドレスBADRは、絶対アドレスである

インタフェース装置 1 3 は、相対／絶対決定回路（以下、決定回路という） 1 4、制御回路 1 5、分岐先アドレス格納バッファ回路（以下、バッファ回路という） 1 6、及び出力回路 1 7を備えている。

【 0 0 3 2 】

バッファ回路 1 6 は、C P U 1 2 から受信した分岐先アドレスBADR及び命令フェッチ数FEN を、該バッファ回路 1 6 に格納した順に出力するファイボ（F I F O）方式のバッファ回路である。

【 0 0 3 3 】

尚、本実施形態のバッファ回路 1 6 は、そのバッファ領域に、例えば第 1 ～第 8 分岐先アドレスBADR0 ～BADR7 （図には、第 1 ～第 8 分岐先アドレス 0 ～7 で示す）の 8 つのアドレスを格納可能である。ここで、第 1 分岐先アドレスBADR0 とは、バッファ回路 1 6 に格納されている最も古いアドレスを示す。逆に第 8 分岐先アドレスBADR7 とは、バッファ回路 1 6 に格納されている最も新しいアドレスを示す。

【 0 0 3 4 】

決定回路 1 4 は減算回路 2 1 により構成され、減算回路 2 1 にはC P U 1 2 から出力される分岐先アドレスBADR、及びバッファ回路 1 6 の第 8 分岐先アドレスBADR7 とが入力される。

【 0 0 3 5 】

即ち、減算回路 2 1 は、バッファ回路 1 6 の第 8 分岐先アドレスBADR7 に基づき該第 8 分岐先アドレスBADR7 とC P U 1 2 から出力される分岐先アドレスBADR との相対値を算出する。減算回路 2 1 は、算出した相対値が減算回路 2 1 に予め設定されている所定値の範囲内にある場合には、受信した分岐先アドレスBADRを相対分岐先アドレス（以下、相対アドレスという）として出力させるためのフラグFLAGを出力する。逆に、減算回路 2 1 は、算出した相対値が所定値の範囲外にある場合には、受信した分岐先アドレスBADRを絶対分岐先アドレス（以下、絶対

アドレスという)として出力させるためのフラグFLAGを出力する。減算回路21から出力されるフラグFLAGは、制御回路15及びバッファ回路16に入力される。

【0036】

制御回路15は、CPU12から出力される分岐発生信号BEN及び決定回路14から出力されるフラグFLAGに応答し、相対分岐発生状態又は絶対分岐発生状態をステータス出力STATUSとしてエミュレータ装置に出力する。

【0037】

また、制御回路15は分岐発生信号BENに応答してバッファ回路16に格納要求を出力する。バッファ回路16は、制御回路15からの格納要求を受けると、上記決定回路14から出力される決定結果に基づくフラグFLAGと、CPU12からの分岐先アドレスBADR及び命令フェッチ数FENとを格納する。

【0038】

このとき、バッファ回路16は、その格納要求に対し分岐先アドレスBADRを格納するためのバッファ領域が不足しているとき(フル状態)、制御回路15に対しバッファ領域がフル状態であることを示す格納状況を通知する。

【0039】

制御回路15は、バッファ領域のフル状態を示す格納状況をバッファ回路16から通知されると、該バッファ回路16に消去要求及びフラグ変更要求を出力する。バッファ回路16は消去要求に응答して、該バッファ回路16内の第1分岐先アドレスBADR0(最も古いアドレス)及びそれに対応する命令フェッチ数FENを消去する。これによりバッファ回路16は、CPU12から受信する分岐先アドレスBADR及び命令フェッチ数FENを格納する。また、バッファ回路16はフラグ変更要求に응答して、該バッファ回路16内の第2分岐先アドレスBADR1(上記アドレス消去後に最も古くなったアドレス)のフラグFLAGを絶対アドレスを出力させるためのフラグに変更する。即ち、バッファ回路16がフル状態になると、それ以降に出力されるフラグFLAGは絶対アドレスを出力するフラグに変更される。

【0040】

また、制御回路 1 5 は、上記アドレス消去が発生した場合には、上記決定回路 1 4 からのフラグFLAGに基づく相対分岐発生ステート又は絶対分岐発生ステートとともにアドレス消滅ステートを示すステータス出力STATUSをエミュレータ装置に出力する。

【 0 0 4 1 】

このように、バッファ回路 1 6 には分岐先アドレスBADRとともにフラグFLAG及び命令フェッチ数FEN が格納され、それらは出力回路 1 7 に出力される。

出力回路 1 7 は、減算回路 3 1、絶対アドレスバッファ 3 2、相対アドレスバッファ 3 3、フラグ／フェッチ数バッファ 3 4、出力選択及びシリアル変換回路 3 5 を備えている。

【 0 0 4 2 】

上記バッファ回路 1 6 から出力される第 1 ～第 8 分岐先アドレスBADR0 ～BADR7 は絶対アドレスバッファ 3 2 及び減算回路 3 1 に入力され、フラグFLAG及び命令フェッチ数FEN はフラグ／フェッチ数バッファ 3 4 に入力される。

【 0 0 4 3 】

絶対アドレスバッファ 3 2 は、制御回路 1 5 からの転送開始要求に応答し、バッファ回路 1 6 から出力される分岐先アドレスBADR（絶対アドレス）を減算回路 3 1 及び出力選択及びシリアル変換回路 3 5 に出力する。

【 0 0 4 4 】

減算回路 3 1 は、絶対アドレスバッファ 3 2 に保持されている絶対アドレスとバッファ回路 1 6 から出力される分岐先アドレスBADRとから相対値（相対アドレス）を算出し、その相対アドレスを相対アドレスバッファ 3 3 に出力する。相対アドレスバッファ 3 3 は、制御回路 1 5 からの転送開始要求に応答し、相対アドレスを出力選択及びシリアル変換回路 3 5 に出力する。

【 0 0 4 5 】

フラグ／フェッチ数バッファ 3 4 は、制御回路 1 5 からの転送開始要求に応答してフラグFLAG及び命令フェッチ数FEN を出力選択及びシリアル変換回路 3 5 に出力する。

【 0 0 4 6 】

そして、出力選択及びシリアル変換回路 3 5 は、制御回路 1 5 からの転送開始要求に応答し、命令フェッチ数 FEN をシリアル変換したデータ出力 DATA をエミュレータ装置に出力する。次いで、出力選択及びシリアル変換回路 3 5 は、フラグ FLAG に基づいて上記絶対アドレス又は相対アドレスのいずれか一方をシリアル変換したデータ出力 DATA をエミュレータ装置に出力し、その後制御回路 1 5 に転送完了通知を出力する。

【 0 0 4 7 】

次に、上記のように構成されたマイクロコンピュータ 1 1 の作用を図 2 及び図 3 に従って説明する。

図 2 に示すように、今、時刻 t_1 において分岐発生し、CPU 1 2 は分岐発生信号（H レベル）、命令フェッチ数「1 0 h」、分岐先アドレス「F 0 2 0 h」を出力する。決定回路 1 4 は、減算回路 2 1 の減算結果に基づく相対値が所定値の範囲外にあると、絶対アドレスを出力させる減算結果フラグ（L レベル）を出力する。

【 0 0 4 8 】

制御回路 1 5 はバッファ回路 1 6 に格納要求を出力し、これによりバッファ回路 1 6 は、命令フェッチ数「1 0 h」を格納するとともに、上記減算結果フラグと分岐先アドレス「F 0 2 0 h」とを格納する。そして、制御回路 1 5 は、決定回路 1 4 からの絶対アドレスを出力させる減算結果フラグ（L レベル）により絶対分岐発生ステートを示すステータス出力 STATUS を出力する。その後、出力回路 1 7 は、制御回路 1 5 の転送開始要求に応答し、命令フェッチ数「1 0 h」、絶対アドレス「F 0 2 0 h」のデータ出力 DATA を順次出力する。

【 0 0 4 9 】

次に、時刻 t_2 において分岐発生し、CPU 1 2 は分岐発生信号（H レベル）、命令フェッチ数「4 h」、分岐先アドレス「F 0 4 0 h」を出力する。決定回路 1 4 は、バッファ回路 1 6 に格納されている最も新しい分岐先アドレス「F 0 2 0 h」と分岐先アドレス「F 0 4 0 h」との相対値を減算回路 2 1 により算出し、その相対値が所定値の範囲内にあると相対アドレスを出力させるフラグ（H レベル）を出力する。

【0050】

制御回路15はバッファ回路16に格納要求を出力し、これによりバッファ回路16は、命令フェッチ数「4h」を格納するとともに、上記減算結果フラグと分岐先アドレス「F040h」とを格納する。そして、制御回路15は、決定回路14からの相対アドレスを出力させる減算結果フラグ（Hレベル）により相対分岐発生状態を示すステータス出力STATUSを出力する。その後、出力回路17は、制御回路15の転送開始要求に応答し、命令フェッチ数「4h」、相対アドレス「20h」のデータ出力DATAを順次出力する。

【0051】

また、図3に示すように、時刻t3及び時刻t4にて分岐発生した後に、時刻t5において分岐発生し、CPU12は、分岐発生信号（Hレベル）、命令フェッチ数「4h」、分岐先アドレス「F010h」を出力する。決定回路14は、バッファ回路16に格納されている最も新しい分岐先アドレス「F070h」と分岐先アドレス「F010h」との相対値を減算回路21により算出し、相対値が所定値の範囲内にあると相対アドレスを出力させるフラグ（Hレベル）を出力する。

【0052】

制御回路15はバッファ回路16に格納要求を出力するが、このときバッファ回路16の格納状況は「0」である。制御回路15は、バッファ回路16に消去要求（Hレベル）を出力し、その消去要求を受けてバッファ回路16は該バッファ回路16に格納されている最も古いアドレスを消去する。これにより、バッファ回路16は分岐先アドレス「F010h」を上記減算結果フラグ及び命令フェッチ数「4h」とともに格納する。

【0053】

また、このとき制御回路15は、バッファ回路16にフラグ変更要求（Hレベル）を出力する。そのフラグ変更要求（Hレベル）を受けてバッファ回路16は該バッファ回路16に格納されている上記アドレス消去後に最も古くなったアドレスのフラグ出力を変更する（Lレベルにする）。即ち、相対アドレスを出力させるフラグ（Hレベル）は、絶対アドレスを出力させるフラグ（Lレベル）に変

更される。

【 0 0 5 4 】

そして、制御回路 1 5 は、相対分岐・アドレス消滅発生ステートを示すステータス出力 STATUS を出力する。その後、出力回路 1 7 は、制御回路 1 5 の転送開始要求に応答し、命令フェッチ数「1 7 h」、上記フラグ変更に基づく絶対アドレス「F F 1 6 f」のデータ出力 DATA を順次出力する。

【 0 0 5 5 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) インタフェース装置 1 3 は、相対／絶対決定回路 1 4、制御回路 1 5、分岐先アドレス格納バッファ回路 1 6、及び出力回路 1 7 を備える。バッファ回路 1 6 は、制御回路 1 5 に分岐先アドレスの格納状況を通知する。制御回路 1 5 は、バッファ回路 1 6 のバッファ領域が不足している場合には、該バッファ回路 1 6 に消去要求を出力するとともにフラグ変更要求を出力する。これにより、バッファ回路 1 6 内に格納されている最も古い分岐先アドレスは消去され、そのアドレス消去後に最も古くなった分岐先アドレスのフラグは絶対アドレスを出力させるフラグに変更される。従って、バッファ回路 1 6 に格納されるアドレスが消滅した場合にも、それ以降の命令トレースを行うことができる。

【 0 0 5 6 】

(2) 決定回路 1 4 は、バッファ回路 1 6 内に格納されている第 8 分岐先アドレス BADR7 (最も新しい分岐先アドレス) と、CPU 1 2 からの分岐先アドレス BADR との相対値を減算回路 2 1 にて算出する。決定回路 1 4 は、相対値が減算回路 2 1 に予め設定される所定値の範囲内であるときに相対アドレスを出力させるフラグ FLAG を出力し、所定値の範囲外であるときに絶対アドレスを出力させるフラグ FLAG を出力する。このように構成することで、相対アドレスを出力する際のサイクル数を減少させることができ、データ転送速度を実質的に速くすることができる。これにより、インタフェース端子数の増加を防止してコスト増加を抑制することができる。

【 0 0 5 7 】

尚、本実施形態は、以下の態様に変更してもよい。

・上記実施形態において、バッファ回路 1 6 に格納されるフラグFLAGを制御回路 1 5 に入力し、該フラグFLAGに基づいて生成した出力選択信号を制御回路 1 5 から出力し、これにより相対アドレス又は絶対アドレスを出力するようにしてもよい。

【 0 0 5 8 】

・上記実施形態では、情報処理装置（マイクロコンピュータ 1 1）に応用したがこれに限定されるものではなく、それぞれが 1 又は複数の機能を有する装置で構成される情報処理システムに応用してもよい。

【 0 0 5 9 】

【発明の効果】

以上詳述したように、本発明によれば、CPUの動作周波数に依らずCPUの動作監視を行い得る情報処理装置のトレース情報出力方法、情報処理装置、及び情報処理システムを提供することができる。

【図面の簡単な説明】

【図 1】 一実施形態のマイクロコンピュータを示すブロック図である。

【図 2】 一実施形態の動作波形図である。

【図 3】 一実施形態の動作波形図である。

【図 4】 第一従来例のマイクロコンピュータを示すブロック図である。

【図 5】 第二従来例のマイクロコンピュータを示すブロック図である。

【符号の説明】

BEN 分岐発生信号
 BADR 分岐先アドレス
 FLAG フラグ
 FEN 命令フェッチ数
 1 2 CPU
 1 4 決定回路
 1 5 制御回路
 1 6 バッファ回路
 1 7 出力回路

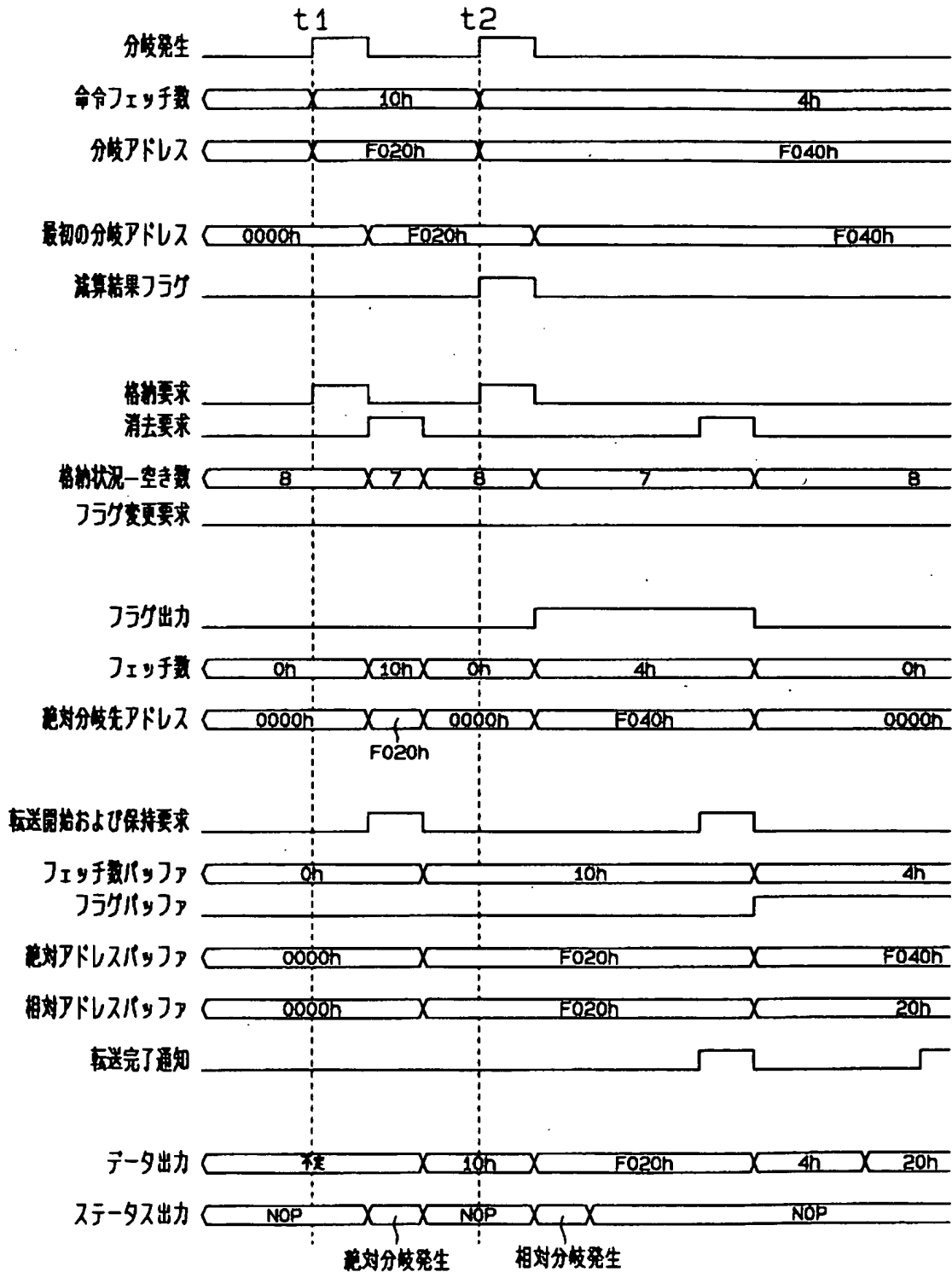
【图 1】

一実施形態のマイクロコンピュータを示すブロック図



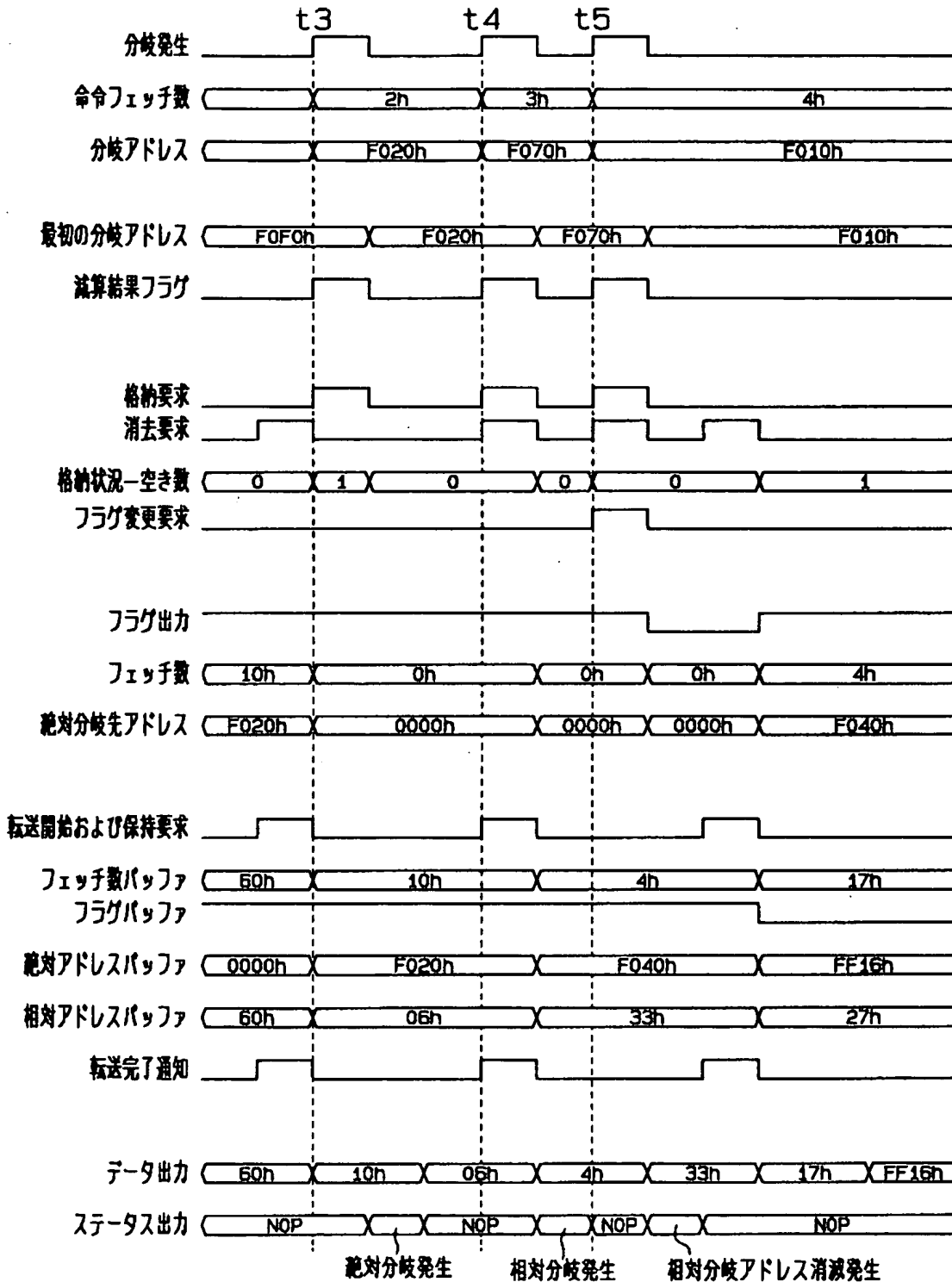
【図 2】

一実施形態の動作波形図



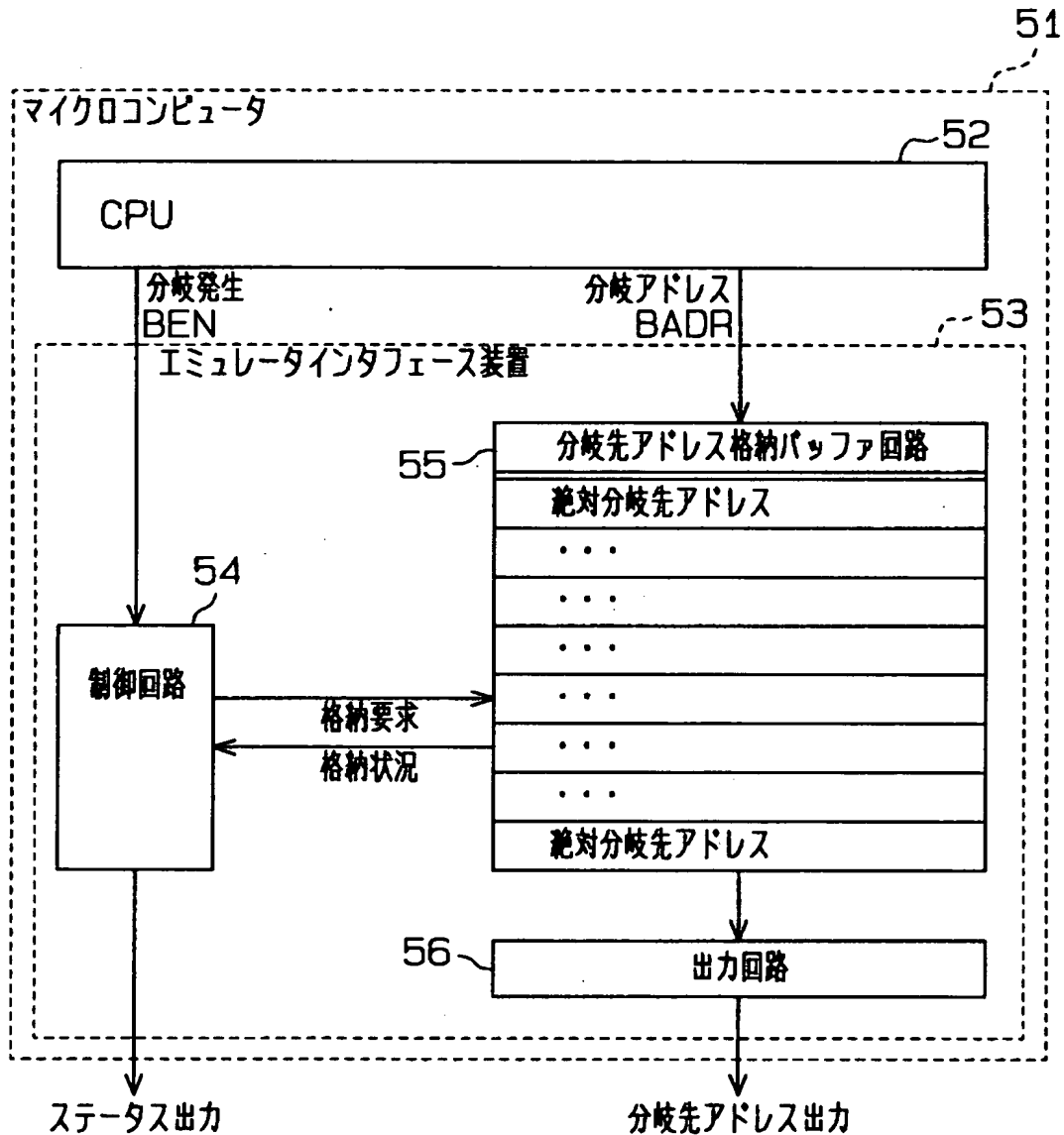
【図 3】

—実施形態の動作波形図



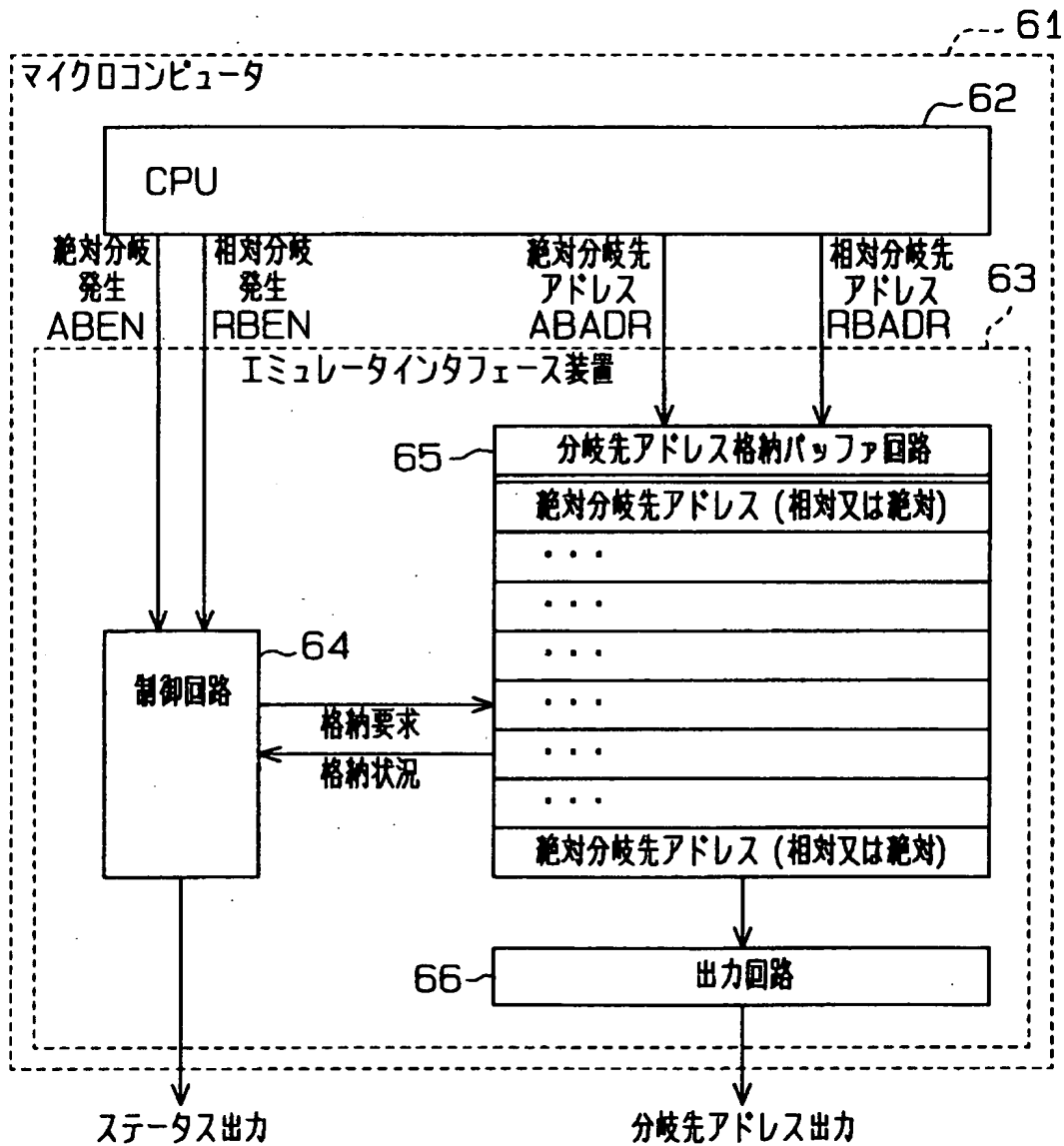
【図 4】

第一従来例のマイクロコンピュータを示すブロック図



【図 5】

第二従来例のマイクロコンピュータを示すブロック図



【書類名】 要約書

【要約】

【課題】 C P U の動作周波数に依らず C P U の動作監視を行い得る情報処理装置のトレース情報出力方法、情報処理装置、及び情報処理システムを提供すること。

【解決手段】 インタフェース装置 1 3 は、相対／絶対決定回路 1 4、制御回路 1 5、分岐先アドレス格納バッファ回路 1 6、及び出力回路 1 7 を備える。バッファ回路 1 6 は、制御回路 1 5 に分岐先アドレスの格納状況を通知する。制御回路 1 5 は、バッファ回路 1 6 のバッファ領域が不足している場合には、該バッファ回路 1 6 に消去要求を出力するとともにフラグ変更要求を出力する。これにより、バッファ回路 1 6 内に格納されている最も古い分岐先アドレスは消去され、そのアドレス消去後に最も古くなった分岐先アドレスのフラグは絶対アドレスを出力させるフラグに変更される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社